

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04125960 A**

(43) Date of publication of application: **27.04.92**

(51) Int. Cl

**H01L 27/06**

**H01L 27/04**

(21) Application number: **02248232**

(71) Applicant: **NEC CORP**

(22) Date of filing: **18.09.90**

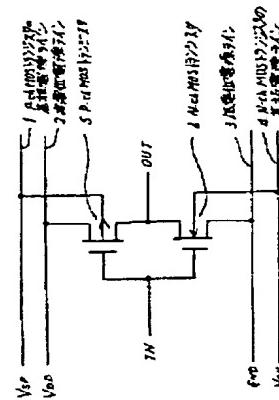
(72) Inventor: **KUME TORU**

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To make the erroneous operation due to external noise to be hardly operated while cutting down the power consumption required for the maintenance of the normal state by a method wherein, during the normal operation time, the relative potentials similar to those of conventional semiconductor device are maintained while during the emergency operation time, the threshold value voltages of respective transistors are raised higher than those in the normal operation time by setting up the potentials of respective power supply lines.

CONSTITUTION: During the normal operation time, the substrate potential of a P-channel MOS transistor 5 and the potential of a high potential power supply VDD are equalized while the substrate potential of an N-channel MOS transistor and the potential of low potential power supply are equalized. On the other hand, during the emergency operation time, the substrate potential of the P-channel MOS transistor 5, the potential of high potential power supply VDD, the potential of low potential power supply, the substrate potential of the N-channel MOS transistor 6 are made to be set up in this order. Through these procedures, the threshold values can be enhanced thereby enabling the power consumption to be cut down.



COPYRIGHT: (C)1992,JPO&Japio

*This PAGE BLANK (uspto)*

Concise explanation of the relevance with respect to  
Japanese Laid-Open Patent Application No. 125960/1992

A. Relevance to the Above-identified Document

The following is an English translation of passages related to the present invention.

B. Translation of the Relevant Passages of the Document

[MEANS TO SOLVE THE PROBLEM]

A digital semiconductor device of the present invention is arranged in such a manner that a substrate potential of a P-channel MOS transistor, a substrate potential of an N-channel MOS transistor, a potential of a high potential source VDD, and a potential of a low potential source are separately supplied, and includes means for making the substrate potential of the P-channel MOS transistor and the potential of the high potential source VDD equal, and the substrate potential of the N-channel MOS transistor and the potential of the low potential source equal during a normal operation, and for making a decreasing order of largeness as: the substrate potential of the P-channel MOS transistor, the potential of the high potential source VDD, the potential of the low potential source, and the substrate potential of the

-2-

N-channel MOS transistor during a non-operation period.

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平4-125960

⑬ Int. Cl.<sup>5</sup>

H 01 L 27/06  
27/04

識別記号

序内整理番号

⑭ 公開 平成4年(1992)4月27日

D

7514-4M

7735-4M

H 01 L 27/06

331

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特願 平2-248232

⑰ 出願 平2(1990)9月18日

⑱ 発明者 久米徹 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代理人 弁理士 内原晋

明細書

1. 発明の名称

半導体装置

記NチャンネルMOSトランジスタの基板電位の  
順に高い電位から低い電位となるようにする手段  
とを有することを特徴とする半導体装置。

2. 特許請求の範囲

PチャンネルMOSトランジスタとNチャンネルMOSトランジスタとを使用して半導体基板上に形成された論理回路と、前記PチャンネルMOSトランジスタの基板電位と前記NチャンネルMOSトランジスタの基板電位と高電位電源(VD)の電位と低電位電源(GND)の電位とをそれぞれ供給する手段と、通常動作時には、前記PチャンネルMOSトランジスタの基板電位と前記高電位電源の電位とを等しくするとともに前記NチャンネルMOSトランジスタの基板電位と前記低電位電源の電位とを等しくし、且つ前記論理回路の電気的回路状態を保存する非動作時には前記PチャンネルMOSトランジスタの基板電位、前記高電位電源の電位、前記低電位電源の電位、前

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はCMOSディジタル半導体装置に関し、特に電源および基板電位の印加構造に関する。

〔従来の技術〕

従来のCMOSディジタル半導体装置は、第3図に示すようにPチャンネルMOSトランジスタ23の基板電位を高電位電源ライン21の電位(VDD)と等しくし、且つNチャンネルMOSトランジスタ24の基板電位を低電位電源ライン22の電位(GND)と等しくするためにこれらを常時接続した構造をしている。MOSトランジスタは、ソース電極と基板の電位との電位差で閾値電圧V<sub>T</sub>が決まるバックバイアス特性を持っているため、この従来のCMOSディジタル半導体装置の構造では、スタンバイ状態時等の回路動作

をせずに動作状態を単に維持しようとする場合も、各MOSトランジスタの閾値電圧 $V_T$ は動作時と同じ値であった。

## 〔発明が解決しようとする課題〕

このように、従来のディジタル半導体装置は、バッテリーバックアップ等によるスタンバイ状態時等の回路的には非動作状態であるが単に動作状態を維持してその期間電気的回路状態を保存しようとする場合もMOSトランジスタの閾値電圧 $V_T$ が回路的に動作状態時と同じ値であるため、外部からのノイズによって内部回路の電気的状態が変化しやすく、維持しようとする電気的回路状態の状態破壊を起こしやすい構造となっていた。これは、動作時の電源電圧より小さいバックアップ電圧を使用する場合には特に問題になっていた。また動作時の閾値電圧 $V_T$ より小さいゲート電位(VG)でのドレイン電流(ID)は、MOSトランジスタの閾値電圧 $V_T$ とドレイン電圧(VD)と閾値電圧 $V_T$ との差によってその値が決まるため、状態保存時には電源電圧を低くして電流消費を少

MOSトランジスタの基板電位の順に高電位から低電位となるようとする手段を有している。

## 〔実施例〕

次に本発明について図面を参照して説明する。

第1図は、本発明の一実施例のトランジスタレベルの等価回路図である。半導体装置の一部分としてここでは、インバータ回路を例として上げている。1はPチャンネルMOSトランジスタの基板電位を供給する電源ライン、2は半導体装置の高電位電源(VDD)ライン、3は半導体装置の低電位電源(GND等)ライン、4はNチャンネルMOSトランジスタの基板電位を供給する電源ライン、5はPチャンネルMOSトランジスタ、6はNチャンネルMOSトランジスタである。PチャンネルMOSトランジスタ5の基板端子は、PチャンネルMOSトランジスタの基板電位を供給する電源ライン1に接続し、PチャンネルMOSトランジスタ5のソース端子は、半導体装置の高電位電源ライン2に接続している。NチャンネルMOSトランジスタ6の基板端子は、N

くしているが、状態保存時のドレイン電圧VDを低くしても閾値電圧 $V_T$ が大きくなないとドレイン電流IDを小さくできず、状態保存時の消費電流を小さくできなかった。これは、特に1装置内に多くのMOSトランジスタを集積している場合で、保存電源として電池等の有限の電力量を持つ装置を使用している場合に保存期間が短くなる等の問題を起こす。

## 〔課題を解決するための手段〕

本発明のディジタル半導体装置は、PチャンネルMOSトランジスタの基板電位、NチャンネルMOSトランジスタの基板電位、高電位電源VDDの電位及び低電位電源の電位をそれぞれ独立に供給できる構造を持ち、通常動作時には、PチャンネルMOSトランジスタの基板電位と高電位電源VDDの電位とを等しくするとともにNチャンネルMOSトランジスタの基板電位と低電位電源の電位とを等しくし、且つ非動作時にはPチャンネルMOSトランジスタの基板電位、高電位電源VDDの電位、低電位電源の電位、Nチャンネル

チャンネルMOSトランジスタの基板電位を供給する電源ライン4に接続し、NチャンネルMOSトランジスタ6のソース端子は、半導体装置の低電位電源ライン3に接続している。これにより、この半導体装置は、各電源の電位を独立に設定できる構造となっている。

第2図は、本発明の一実施例全体のブロック図である。10は第1図にその一部を示した半導体装置、11はオペアンプ、12はオペアンプ、13は非動作時に半導体装置10の電気的回路状態を保存するためのバックアップバッテリー、14は主電源端子、15は主グランド端子である。主電源端子14、主グランド端子15およびバックアップバッテリー13の各端子と半導体装置10の各電源ラインVSP、VDD、GND、VSNとの間には逆流防止用のダイオードが接続されている。

通常動作時には主電源端子14と主グランド端子15に外部から電力を供給する。半導体装置10のVDD端子には主電源端子14からダイオードを通して電位が与えられる。そのとき半導

半導体装置10のVSP端子にはオペアンプ11をボルテージホロアとして使用してVDD端子と同じ電位が与えられる。半導体装置10のGND端子には主グランド端子15からダイオードを通して電位が与えられる。そのとき半導体装置10のVSN端子にはオペアンプ12をボルテージホロアとして使用してGND端子と同じ電位が与えられる。

バッテリーバックアップ時には、主電源端子14は解放するかまたは主グランド端子15と等電位になる。この時は、バックアップバッテリー13から半導体装置10の各電源端子に電位が供給される。バックアップバッテリー13からは4種類の異なる電位が供給できるようになっており、高い方からVSP端子、VDD端子、GND端子、VSN端子の順に高い電位から低い電位となる様に設定されている。このバッテリーバックアップ時にはPチャンネルMOSトランジスタの基板電位(VSP端子の電位)が高電位電源ライン(VDD端子)の電位より高くなるので、P

びNチャンネルMOSトランジスタの基板電位と低電位電源ラインの電位とを同一にし、電気的回路状態を単に維持する非動作時には高い方から順にPチャンネルMOSトランジスタの基板電位、高電位電源VDDラインの電位、低電位電源ライン電位、NチャンネルMOSトランジスタの基板電位となるように電位を供給する構造を持つことにより、通常動作時には従来の半導体装置と同じ電位関係を保ちながら、電気的回路状態を単に保存する非動作時の場合には各電源ラインの電位設定により各トランジスタの閾値電圧VTを動作時より高くすることにより外部ノイズによる誤動作を起こしにくくし、また状態保持に必要な電流値を小さくすることができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例の一部分をトランジスタレベルで表わした等価回路図、第2図は本発明の一実施例の全体を表わすブロック図、第3図は従来例の一部分をトランジスタレベルで表わし

チャンネルMOSトランジスタの閾値電圧は通常動作時より大きくなる。同様に、NチャンネルMOSトランジスタの基板電位(VSN端子)の電位が低電位電源ライン(GND端子)の電位より低くなるので、NチャンネルMOSトランジスタの閾値電圧は通常動作時より大きくなる。このため、半導体装置10の内部回路の耐ノイズ性が増し、電気的回路状態が良好に保たれる。また、この時主にドレイン領域から半導体基板に漏洩するリーク電流に依存すると考えられる消費電流は高電位電源VDDの電位と閾値電圧との差の関数となるため、閾値電圧を高くすることによって消費電流も小さくすることができる。

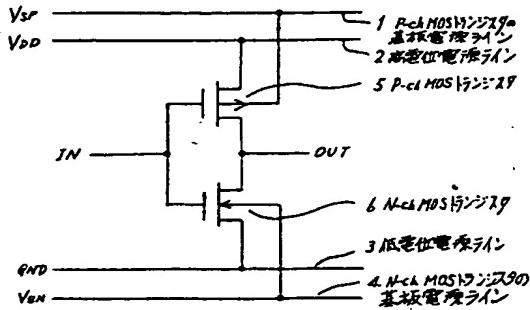
#### 【発明の効果】

以上説明したように本発明は、PチャンネルMOSトランジスタの基板電位、NチャンネルMOSトランジスタの基板電位、VDD電位及びGND電位をそれぞれ独立に供給できる構造を持ち、通常動作時には、PチャンネルMOSトランジスタの基板電位と高電位電源VDDラインの電位及

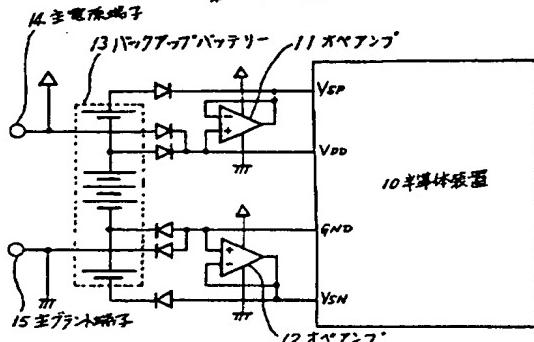
た等価回路図である。

1……PチャンネルMOSトランジスタの基板電源ライン、2……半導体装置の高電位電源ライン、3……半導体装置の低電位電源ライン、4……NチャンネルMOSトランジスタの基板電源ライン、5……PチャンネルMOSトランジスタ、6……NチャンネルMOSトランジスタ、10……半導体装置、11、12……オペアンプ、13……バックアップバッテリー、14……主電源端子、15……主グランド端子。

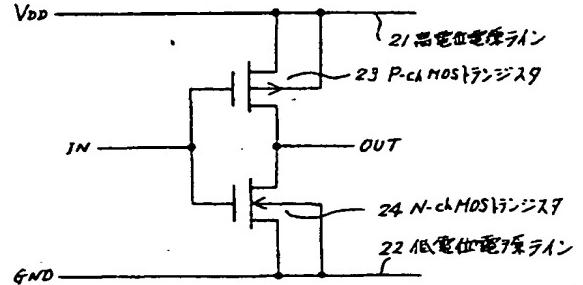
代理人 弁理士 内原 順



第1図



第2図



第3図